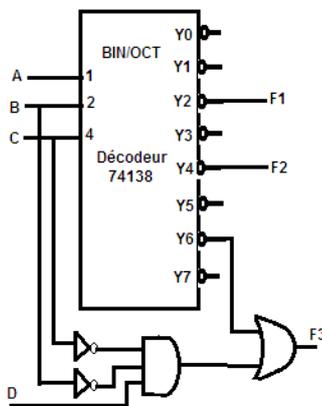


Exercice 01 (04, 5 pts)

A. Réaliser les fonctions booléennes suivantes à l'aide d'un décodeur 74138 (3 vers 8) et des portes logiques :

$$F_1 = \bar{A} B \bar{C}; \quad F_2 = \bar{A} \bar{B} C; \quad F_3 = \bar{A} B C + \bar{B} \bar{C} D$$

Solution



En appelant Y_i les sorties de rang i du décodeur et en affectant respectivement les poids 2^0 , 2^1 et 2^2 à ABC, on obtient :

$$F_1 = \bar{Y}_2 = \bar{A} B \bar{C}; \quad F_2 = \bar{Y}_4 = \bar{A} \bar{B} C;$$

$$F_3 = \bar{Y}_6 + \bar{B} \bar{C} D = \bar{A} B C + \bar{B} \bar{C} D$$

B. En utilisant un multiplexeur 8 vers 1 et des portes logiques, réaliser la fonction logique

$$\text{suivante : } F_4 = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} \bar{C} D + \bar{A} B \bar{C} \bar{D} + \bar{A} B \bar{C} D + \bar{A} B C \bar{D} + \bar{A} B C D + A \bar{B} C \bar{D} + A \bar{B} C D + A B \bar{C} \bar{D} + A B \bar{C} D + A B C \bar{D} + A B C D$$

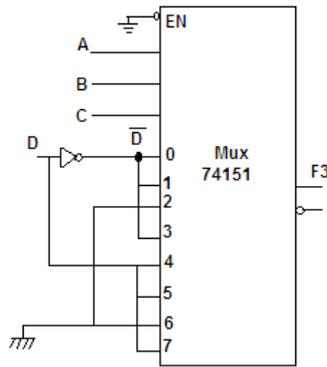
Solution

Le nombre de variables est égal à 4, une de plus que les entrées d'adresses, le multiplexeur ne suffit pas à lui seul pour générer la fonction F_4 . Une solution consiste à mettre trois variables sur les entrées d'adresses (ABC) et la quatrième à la place des entrées de données.

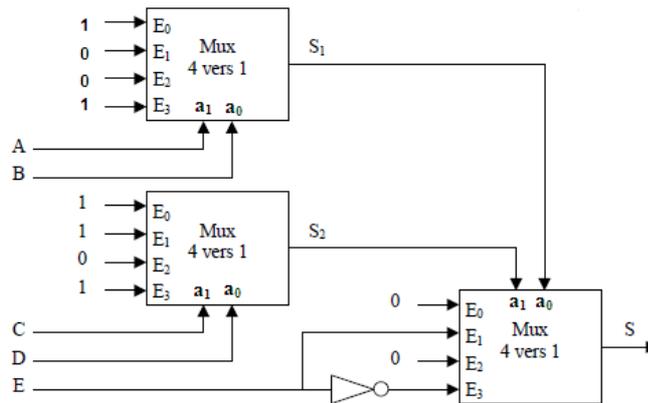
$$F_4 = \bar{A} \bar{B} \bar{C} \bar{D} + \bar{A} \bar{B} \bar{C} D + \bar{A} B \bar{C} \bar{D} + \bar{A} B \bar{C} D + \bar{A} B C \bar{D} + \bar{A} B C D + A \bar{B} C \bar{D} + A \bar{B} C D + A B \bar{C} \bar{D} + A B \bar{C} D + A B C \bar{D} + A B C D$$

$$= \bar{D}(\bar{A} \bar{B} \bar{C} + \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C) + D(\bar{A} \bar{B} \bar{C} + \bar{A} \bar{B} C + \bar{A} B \bar{C} + \bar{A} B C)$$

D'où le schéma correspondant :



C. Donner l'équation logique de la fonction S du montage suivant :



Solution

$$S_1 = \overline{A}B + AB = \overline{A} \oplus B$$

$$S_2 = \overline{C}D + \overline{C}D + CD = \overline{C} + CD = \overline{C} + D$$

D'où

$$S = \overline{S_2}S_1E + S_2S_1\overline{E} = S_1(\overline{S_2}E + S_2\overline{E}) = S_1(E \oplus S_2)$$

$$= \overline{A} \oplus B (E \oplus (\overline{C} + D))$$

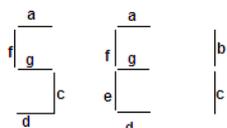
Exercice 02 (03 pts)

Pour afficher le résultat de la comparaison de deux nombres binaires de quatre bits A et B, on utilise un afficheur 7 segments et un comparateur.

Donner **la table de transcodage** permettant d'afficher les segments pour écrire :

S si $A > B$, **E** si $A = B$, **I** si $A < B$

Solution



	A>B	A=B	A<B	a	b	c	d	e	f	g
S	1	0	0	1	0	1	1	0	1	1
E	0	1	0	1	0	0	1	1	1	1
I	0	0	1	0	1	1	0	0	0	0
Autres combinaisons				x	x	x	x	x	x	x

Exercice 03 (07 pts)

On désire réaliser un multiplieur de deux mots binaires de deux bits selon les spécifications suivantes :

- Entrées : $\mathbf{X} = \mathbf{X}_1\mathbf{X}_0$ et $\mathbf{Y} = \mathbf{Y}_1\mathbf{Y}_0$
 - Sortie \mathbf{Z} : $\mathbf{Z} = \mathbf{X} \cdot \mathbf{Y}$ où $\mathbf{Z} = \mathbf{Z}_3\mathbf{Z}_2\mathbf{Z}_1\mathbf{Z}_0$.
1. Etablir la table de vérité de ce multiplieur.
 2. Simplifier les expressions booléennes de chacune des sorties \mathbf{Z}_0 , \mathbf{Z}_1 , \mathbf{Z}_2 et \mathbf{Z}_3
 3. Réaliser le logigramme du circuit complet.
 4. Calculer le coût de la forme disjonctive optimale de la fonction logique \mathbf{Z}_3 .

Solution

1. La table de vérité du multiplieur pour deux mots de deux bits

$\mathbf{X} \cdot \mathbf{Y} = \mathbf{Z}$	\mathbf{X}		\mathbf{Y}		\mathbf{Z}			
	\mathbf{X}_1	\mathbf{X}_0	\mathbf{Y}_1	\mathbf{Y}_0	\mathbf{Z}_3	\mathbf{Z}_2	\mathbf{Z}_1	\mathbf{Z}_0
0.0 = 0	0	0	0	0	0	0	0	0
0.1 = 0	0	0	0	1	0	0	0	0
0.2 = 0	0	0	1	0	0	0	0	0
0.3 = 0	0	0	1	1	0	0	0	0
1.0 = 0	0	1	0	0	0	0	0	0
1.1 = 1	0	1	0	1	0	0	0	1
1.2 = 2	0	1	1	0	0	0	1	0
1.3 = 3	0	1	1	1	0	0	1	1
2.0 = 0	1	0	0	0	0	0	0	0
2.1 = 2	1	0	0	1	0	0	1	0
2.2 = 4	1	0	1	0	0	1	0	0
2.3 = 6	1	0	1	1	0	1	1	0
3.0 = 0	1	1	0	0	0	0	0	0
3.1 = 3	1	1	0	1	0	0	1	1
3.2 = 6	1	1	1	0	0	1	1	0
3.3 = 9	1	1	1	1	1	0	0	1

2. En se référant de la table de vérité ci-dessus, on obtient les équations logiques simplifiées à partir des diagrammes de Karnaugh des sorties comme suit :

X_1X_0	00	01	11	10
Y_1Y_0				
00				
01		1	1	
11		1	1	
10				

$$Z_0 = X_0Y_0$$

X_1X_0	00	01	11	10
Y_1Y_0				
00				
01			1	1
11		1		1
10		1	1	

$$Z_1 = \overline{X_1} X_0 Y_1 + X_0 Y_1 \overline{Y_0} + X_1 \overline{Y_1} Y_0 + X_1 \overline{X_0} Y_0$$

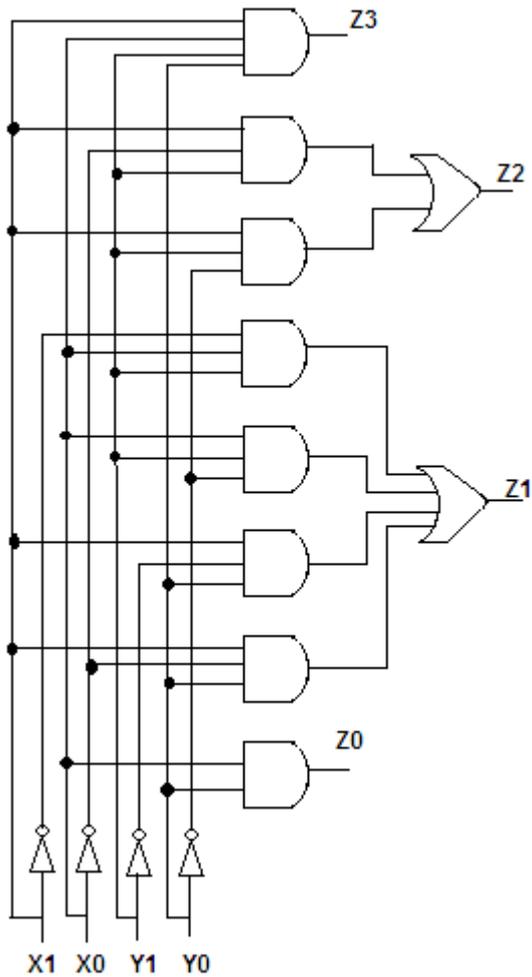
X_1X_0	00	01	11	10
Y_1Y_0				
00				
01				
11				1
10			1	1

$$Z_2 = X_1 \overline{X_0} Y_1 + X_1 Y_1 \overline{Y_0}$$

X_1X_0	00	01	11	10
Y_1Y_0				
00				
01				
11			1	
10				

$$Z_3 = X_1 \overline{X_0} Y_1 Y_0$$

3. Le circuit logique d'un multiplieur deux bits :



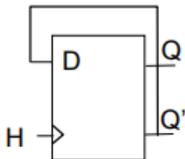
4. Le coût de $Z_3 = (4+2) = 6$

Exercice 04 (05,5 pts)

1. Réaliser un diviseur de fréquence par 2 (autrement dit une bascule T) avec une bascule D.

Solution

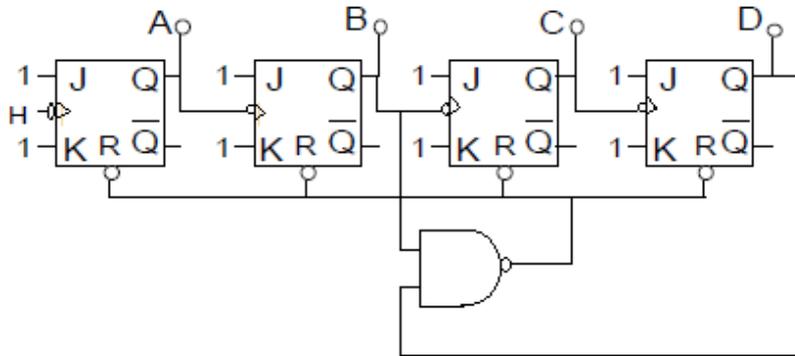
Il suffit e reboucler la sortie inversée sur l'entrée.



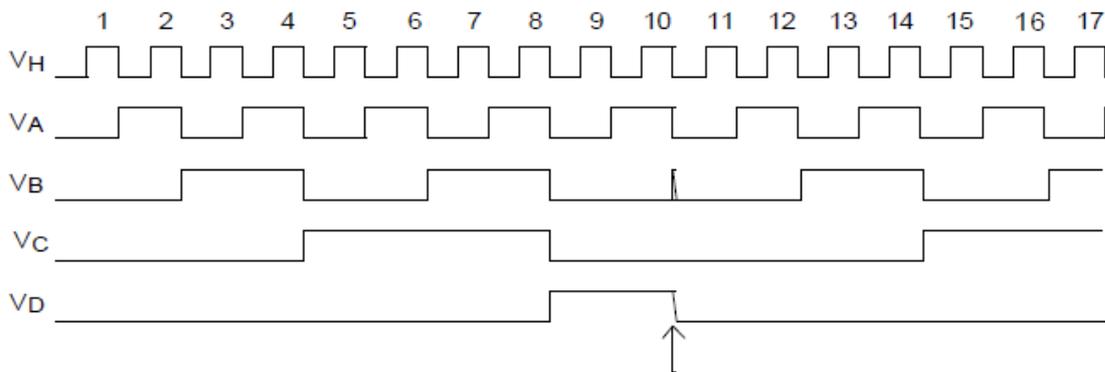
2. Réaliser le circuit logique et le chronogramme d'un compteur binaire modulo 10 asynchrone. Les sorties sont codé en binaire pur et les bascules utilisées sont des bascules JK sensibles aux fronts descendants.

Solution

Le circuit logique

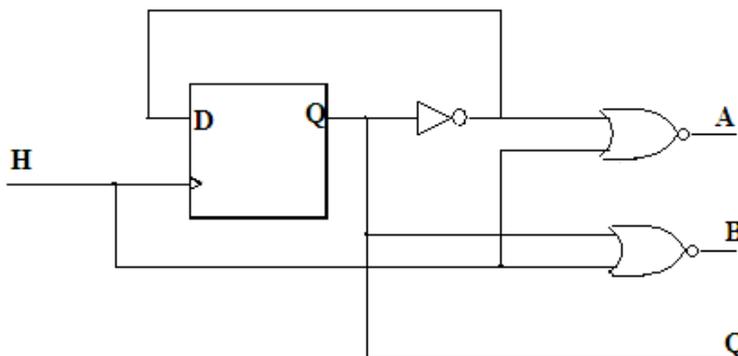


Le chronogramme



Le compteur est remis à zéro dès la dixième impulsion

3. On considère le montage de la figure ci-dessous réalisé avec une bascule D synchrone active sur les fronts montants du signal d'horloge.



4.1 Donner les expressions des sorties A et B.

Solution

Directement à partir du schéma on lit : $A = \overline{Q} + H$ et $B = \overline{Q} + \overline{H}$

4.2 Tracer les chronogrammes de A, de B et de Q, Q est égal = 1 à $t = 0$

Solution

